

PAT-NO: JP405327788A

DOCUMENT-IDENTIFIER: **JP 05327788 A**

TITLE: DATA DEMODULATING CIRCUIT

PUBN-DATE: December 10, 1993

INVENTOR-INFORMATION:

NAME

TAKASUGI, KAZUO

KATAYAMA, YOSUKE

NISHIZONO, KAZUNORI

KOKUBU, MASATOSHI

IEGI, TOSHIATSU

TAKEUCHI, TAKASHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI MAXELL LTD

N/A

FUJITSU LTD

N/A

N T T DATA TSUSHIN KK

N/A

APPL-NO: JP04123416

APPL-DATE: May 15, 1992

INT-CL (IPC): H04L027/00, G06K019/07

US-CL-CURRENT: **329/312**

ABSTRACT:

PURPOSE: To demodulate the data concerned from a data modulating signal whose pulse width is modulated in a boundary of '0' and '1' bits of the data.

CONSTITUTION: A data modulating signal DM is inverted by an inverter 1 together with a shift register 3a driven by a clock signal ϕ_0 being **asynchronous** thereto, and supplied to a shift register 3b, as well, driven by a clock signal ϕ_1 . Also, the shift registers 3a, 3b are cleared for an 'L' period of the respective inputs. The shift register 3a generates an output Pa in an 'H' period of the data modulating signal DM being longer than its transfer time, and the shift register 3b generates the output Pa in an 'L' period of the data modulating signal DM being longer than its transfer time. A flip-flop circuit 4 is reset by the output Pa, and set by an output Pb. In such a way, from the flip-flop circuit 4, original data DATA is obtained.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-327788

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 27/00				
G 0 6 K 19/07				
		9297-5K	H 0 4 L 27/ 00	Z
		8623-5L	G 0 6 K 19/ 00	H

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号	特願平4-123416	(71)出願人	000005810 日立マクセル株式会社 大阪府茨木市丑寅1丁目1番88号
(22)出願日	平成4年(1992)5月15日	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
		(71)出願人	000102728 エヌ・ティ・ティ・データ通信株式会社 東京都江東区豊洲三丁目3番3号
		(72)発明者	高杉 和夫 大阪府茨木市丑寅一丁目1番88号日立マクセル株式会社内
		(74)代理人	弁理士 武 顕次郎 (外1名) 最終頁に続く

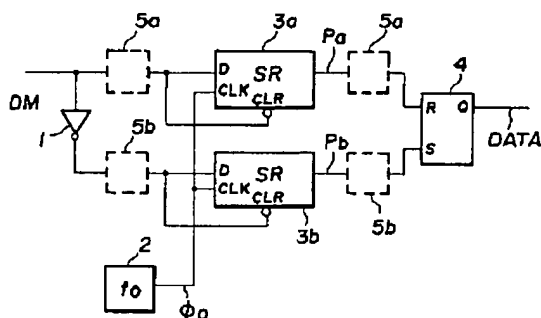
(54)【発明の名称】 データ復調回路

(57)【要約】

【目的】 データの“0”，“1”ビットの境界でパルス幅が変調されたデータ変調信号から該データを復調する。

【構成】 データ変調信号DMは、これと非同期のクロック信号 ϕ_0 で駆動されるシフトレジスタ3aとともに、インバータ1で反転され、クロック信号 ϕ_1 で駆動されるシフトレジスタ3bにも供給される。また、シフトレジスタ3a、3bは、夫々の入力の“L”期間クリアされる。シフトレジスタ3aは、その転送時間よりも長いデータ変調信号DMの“H”期間で出力Paを発生し、シフトレジスタ3bは、その転送時間よりも長いデータ変調信号DMの“L”期間で出力Paを発生する。フリップフロップ回路4は出力Paでリセットされ、出力Pbでセットされる。これにより、フリップフロップ回路4から元のデータDATAが得られる。

【図1】



1

【特許請求の範囲】

【請求項1】 デジタルデータの“0”，“1”ビットの境界でキャリア信号の高レベルの半周期が他の高レベルの半周期よりも長く変調されたデータ変調信号から該デジタルデータを復調するデータ復調回路であって、

該データ変調信号に非同期なクロック信号を発生するクロック発生手段と、

該データ変調信号をレベル反転するインバータと、

該データ変調信号を入力として該クロック信号で動作し、かつ該データ変調信号の低レベル期間でクリアされる第1のシフトレジスタと、

該インバータの出力信号を入力として該クロック信号で動作し、かつ該インバータの出力信号の低レベル期間でクリアされる第2のシフトレジスタと、

該第1、第2のシフトレジスタの出力信号の一方でセットされ、他方でリセットされるフリップフロップ回路とを備えたことを特徴とするデータ復調回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタルデータの少なくとも“1”，“0”ビットの境界でキャリアの周期が変化するように変調された変調キャリア信号から該デジタルデータを復調するデータ復調回路に関する。

【0002】

【従来の技術】送、受信装置間を無線でデータ伝送する場合、高周波のキャリア信号を用い、このキャリア信号をデジタルデータで変調して伝送する。近年注目されるようになってきた非接触型ICカードを用いるICカードシステムにおいても、非接触型ICカードとリーダライタとに設けられているコイルを磁気結合することにより、これら間のデータ伝送路が形成されるようにしたものであるから、これら間のデータ伝送もデジタルデータでキャリア信号を変調することによって行なわれる。

【0003】以下、非接触型ICカードを用いたICカードシステムの一例を図6により説明する。但し、同図において、40は外部インタフェース、41はリーダライタ、42は非接触型ICカード、43はデータ処理回路、44は変調回路、45はドライブ回路、46は結合コイル、47は受信回路、48はクロック発生回路、49は結合コイル、50は整流回路、51は電源回路、52は送信回路、53は受信回路、54はクロック生成回路、55はデータ処理回路、56はリセット発生回路、57はメモリである。

【0004】リーダライタ41から非接触型ICカード（以下、単にICカードという）42にデータを送る場合には、ホスト（図示せず）等から外部インタフェース40を介してデータがリーダライタ41に供給される。リーダライタ41においては、このデータが、クロック

2

発生回路48からのクロックで動作するデータ処理回路43で処理された後、変調回路44に供給され、クロック発生回路48からの高周波のクロック信号をキャリア信号として変調する。変調されたキャリア信号（以下、変調キャリア信号という）はドライブ回路45を介して結合コイル46に供給される。

【0005】このとき、ICカード42はリーダライタ41に装着されており、リーダライタ41の結合コイル46とICカード42の結合コイル49とが磁気結合されている。

【0006】そこで、ICカード42では、結合コイル46、49を介して変調キャリア信号が供給される。この変調キャリア信号は整流回路50で整流され、電源回路51に供給されてICカード42の各部に必要な電源電圧が生成される。また、整流回路50の入力信号は受信回路53とクロック生成回路54とに供給され、夫々でデータの復調とクロックの生成が行なわれる。復調されたデータは、クロック生成回路54からのクロックやリセット発生回路56からのリセット信号等によって動作するデータ処理回路55で処理された後、メモリ57に供給されて書き込まれる。

【0007】ICカード42からリーダライタ41にデータが送られる場合には、リーダライタ41において、変調回路44から無変調のキャリア信号が出力され、ドライブ回路45、結合コイル46、49を介してICカード42に供給される。ICカード42では、上記と同様、このキャリア信号は整流回路50で整流されて電源回路51に供給され、所定の電源電圧が生成される。また、クロック生成回路54で整流回路50の入力信号からクロックが生成される。これにより、データ処理回路55が動作する。

【0008】一方、メモリ57から読み出されたデータは、CPU等からするデータ処理回路55で処理された後、送信回路52に供給される。送信回路52は例えば負荷抵抗とスイッチとからなり、このスイッチがデータの“1”，“0”ビットに応じてオン、オフする。

【0009】リーダライタ41においては、送信回路52のスイッチオン、オフすると、結合コイル46の両端子からこの結合コイル46側をみた負荷が変動し、これに応じて結合コイル46に流れるキャリア電流の振幅が変動する。即ち、このキャリア電流は送信回路52に供給されるデータによって振幅変調される。この振幅変調されたキャリア電流は受信回路47で検出され、データが復調される。このデータは、データ処理回路43で処理された後、外部インタフェース40からホスト等に送られる。

【0010】上記のようなICカードシステムでは、ICカード42において、リーダライタ41から送られるキャリア信号から電源電圧を生成するものであるから、安定な電源電圧を得るためには、このキャリア信号の振

3

幅が一定データあることが好ましい。そこで、リーダライタ41からICカード42にデータを送る場合、変調回路44の変調方式を周波数変調方式や位相変調方式等のキャリア信号の振幅を一定とする変調方式とすれば、かかるデータ伝送において、ICカード42に供給されるキャリア信号の振幅を一定とすることができる。

【0011】ところで、このようにデジタルデータで周波数変調もしくは位相変調されたキャリア信号を復調するために、従来、PLL（フェーズ・ロックド・ループ）が用いられるのが一般的であった。周波数変調されたキャリア信号の場合、PLLのローパスフィルタから復調されたデジタルデータが得られ、位相変調されたキャリア信号の場合、発振回路の発振周波数をキャリア周波数の2倍とし、その出力信号の2分周信号とキャリア信号との位相比較回路から復調されたデジタルデータが得られる。

【0012】しかし、かかるPLLを非接触型ICカードに組み込んでIC化する場合、そのローパスフィルタ等によってIC回路が大型、かつ高価なものとなり、好ましいものではなかった。

【0013】これに対し、デジタルデータの“1”，“0”ビットの境界でキャリア信号の周期を無変調時よりも拡げるようにして、このデジタルデータでキャリア信号を変調するようにしたデータ伝送方式及びそのデータ復調回路が提供されている（特願平3-321503号）。

【0014】

【発明が解決しようとする課題】ところで、かかるデータ伝送方式でのデータ復調回路は、キャリア信号の周期を判定し、その周期が他の期間よりも長いとき、デジタルデータの“1”，“0”ビットの境界と判定するものであって、かかる周期の判定手段としては、キャリア信号の無変調時の周期よりも長く、拡げられた該周期よりも短い時定数の再トリガマルチバイブレータ等簡単な構成の回路を用いることができるが、その時定数の設定に高い精度を要するという問題があった。

【0015】本発明の目的は、かかる問題を解消し、設定精度を緩和できて構成が簡単なデータ復調回路を提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成するために、本発明は、データの少なくとも“1”，“0”ビットの境界でキャリア信号の1/2周期の幅が変化する変調キャリア信号のデータ復調回路であって、該変調キャリア信号に非同期のクロック信号を発生する手段と、該変調キャリア信号をレベル反転する手段と、該クロック信号で動作し該変調キャリア信号を入力としてかつ各段が該変調キャリア信号の低レベル期間クリアされる第1のシフトレジスタと、該クロック信号で動作しレベル反転された該変調キャリア信号を入力としてかつ各段がレ

4

ベル反転された該変調キャリア信号の低レベル期間クリアされる第2のシフトレジスタと、該第1、第2のシフトレジスタの一方の出力でセットされる他方の出力でリセットされるフリップフロップ回路とで構成される。

【0017】

【作用】シフトレジスタでは、キャリア信号の高レベルの半周期がクロック信号の周期で転送されようとするが、変調キャリア信号の低レベル期間でシフトレジスタの各段がクリアされるから、キャリアの高レベルの半周期が転送しきれないうちに変調キャリア信号が低レベルとなると、この半周期はシフトレジスタ内で消滅して出力されない。従って、クロック信号に対して変調キャリア信号の高レベルの半周期が短かいと、このシフトレベルから出力されず、高レベルの長い半周期がシフトレベル内を転送されて出力される。

【0018】かかるシフトレジスタからの出力によってT型フリップフロップ回路をトリガーすることにより、変調キャリア信号の高レベルの長い半周期毎にT型フリップフロップ回路がトリガされることにより、従って、T型フリップフロップ回路からは“1”，“0”ビットの境界毎にレベル反転する元のデータが得られる。

【0019】“0”ビットから“1”ビットへの移行時点では高レベルの半周期が、“1”ビットから“0”ビットへの移行時点では低レベルの半周期が夫々無変調時よりも長い変調キャリア信号に対しては、該変調キャリア信号に対する上記構成の第1のシフトレジスタと、レベル反転された変調キャリア信号に対する上記構成の第2のシフトレジスタとを用いることにより、“0”ビットから“1”ビットへの移行による高レベルの半周期で第1のシフトレジスタから出力が生じ、“1”ビットから“0”ビットへの移行による低レベルの半周期で第2のシフトレジスタから出力が生ずる。従って、これら出力により、R-Sフリップフロップ回路をセット、リセットすることにより、元のデータが得られる。

【0020】

【実施例】まず、本発明を用いたデータ伝送システムについて、図4により説明する。同図において、送信系20においては、外部からのデータDATAが、データ処理回路24で処理された後、データ変調回路22に供給される。データ変調回路22では、キャリア発生源21からの一定周期、一定デューティ比のキャリア信号CAが供給され、データDATAのエッジ（“0”ビットから“1”ビットへの変化点、“1”ビットから“0”ビットへの変化点）からn周期（但し、nは2以上の整数）分レベルが一定に保持されるように、データDATAによって変調される。

【0021】いま、図5に示すように、キャリア信号CAのデューティ比が50%として、その1/2周期の長さをTとすると、データ変調回路22では、データDATAの“1”ビットから“0”ビットへ変化するエッジ

5

(立下りエッジ7でキャリア信号CAの1つの“H” (高レベル) 期間をTから例えば2Tの長さに期間伸長し、データDATAの“0”ビットから“1”ビットへ変化するエッジ(立下りエッジ)でキャリア信号CAの1つの“L” (低レベル) 期間をTから例えば2Tの長さに時間伸長する。従って、データ変調回路22から得られるデータ変調信号DMは、元のキャリア信号CAに対し、データDATAのエッジでTだけ移相されることになる。但し、この場合、データDATAでの“0”, “1”ビットの単位長は、キャリア信号CAの周期の整数倍としている。また、かかるデータ変調回路22としては、例えば、キャリア信号CAとこれをレベル反転した信号とをデータDATAの“0”, “1”ビットに応じて切替え選択するようにすればよい。

【0022】図4に戻って、データ変調回路22から出力されるデータ変調信号DMは、駆動部23で処理された後、送信系20から送信される。この送信信号が受信系3で受信される。

【0023】受信系30では、受信信号が受信回路32で処理されて元のデータ変調信号DMとなり、本発明のデータ復調回路33に供給される。このデータ復調回路33では、クロック発生回路34から受信回路32からのデータ変調信号DMとは非同期のクロック信号 ϕ_0 が供給され、これによってデータ変調信号DMから元のデータDATAが復調される。ここで、クロック信号 ϕ_0 がデータ変調信号DMとは非同期とは、このクロック信号 ϕ_0 の周波数 f_0 がデータ変調信号DMでのキャリア信号CAの周波数 f_c とは異なることを意味する。

【0024】以下、本発明の実施例を図面により説明する。図1は本発明によるデータ復調回路の一実施例を示すブロック図であって、1はインバータ、2はクロック発生回路、3a、3bはシフトレジスタ、4はS-R・FF(セッターリセット型フリップフロップ回路、5、6a、6bはパルス幅縮小回路である。

【0025】同図において、図4の受信回路32等からの図5に示すようなデータ変調信号DMは、一方では、直接データDとしてシフトレジスタ3aに供給されるとともに、他方では、インバータ1でレベル反転された後、データDとしてシフトレジスタ3bに供給される。また、これらシフトレジスタ3a、3bは、そのデータDの“L”期間クリアされる。

【0026】かかるシフトレジスタ3a、3bは、図4のクロック発生回路34に相当するクロック発生回路2からのデータ変調信号DMに非同期なクロック信号 ϕ_0 によってデータDを転送するが、夫々上記のようにデータDの“L”期間クリアされるから、かかるデータDの“H”の時間長(パルス幅)がシフトレジスタ3a、3bの転送時間よりも長いとき、シフトレジスタ3a、3bから“H”のパルスPa、Pbが出力される。即ち、いま、データ変調信号DMを図5に示すようなものとす

6

ると、データ変調信号DMの“H”期間が2Tとなったとき、シフトレジスタ3aがパルスPaを出力し、データ変調信号DMの“L”期間が2Tとなったとき、シフトレジスタ3bがパルスPbを出力する。

【0027】S-R・FF4はパルスPaによってリセットされ、パルスPbによってセットされる。ここで、データ変調信号DMは、図5のデータDATAで変調された図5に示すものとする。パルスPaはデータ変調信号DAにおけるデータDATAの立下りエッジのタイミングで出力され、パルスPbは同じく立上りエッジのタイミングで出力されるから、S-R・FF4からは図5に示すデータDATAと同じ元のデータDATAが得られる。

【0028】図2は図1におけるシフトレジスタ3aの部分をも具体的に示したブロック図であって、6、7はD・FF(D型フリップフロップ回路)であり、図1に対応する部分には同一符号をつけている。次に、この具体的な動作を図3のタイムチャートを用いて説明する。

【0029】図2、図3において、いま、データ変調信号DMでのデータDATAのエッジに対応する部分の“H”の期間がキャリア信号CAの周期の2倍とし、他の部分の“H”期間の時間長をTとすると、この“H”期間の時間長は4Tである。この場合には、シフトレジスタ3aは2段の縦続接続されたD・FF6、7によって構成され、これらはデータ変調信号DMの“L”期間同時にクリアされる。D・FF6、7は、データ変調信号DMのキャリア周期2Tよりも若干短かい周期($1/f_0$)のクロック信号 ϕ_0 の立上りエッジでデータ変調信号DMをサンプルホールドする。

【0030】そこで、データ変調信号DMの“H”期間がTの部分の部分が供給されているものとする。この“H”期間にクロック信号 ϕ_0 の立上りエッジが存在する場合、その立上りエッジ時点 t_1 でD・FF6の出力Qaが“H”となるが、データ変調信号DMのこの“H”期間の終了時点 t_2 から次の“H”期間までD・FF6、7はクリアされることになり、従って、この“H”期間により、D・FF6の出力Qaは時立上り $t_1 \sim t_2$ 間で“H”となる。かかる出力Qaが次段のD・FF7の入力となるが、これが“H”となる時刻 $t_1 \sim t_2$ 間にはクロック信号 ϕ_0 の立上りエッジは存在せず、従って、D・FF7の出力Paは“H”となることはない。このようにして、データ変調信号DMでの時間長Tの“H”の期間が除かれることになる。

【0031】次に、データ変調信号DMの時間長4Tの“H”期間が供給された場合には、クロック信号 ϕ_0 の周期がデータ変調信号DMのキャリア周期2Tよりも若干短かいから、この時間長4Tの“H”期間内には、必ずクロック信号 ϕ_0 の立上りエッジが2個存在する。

【0032】そこで、この“H”期間内に存在するクロック信号 ϕ_0 の最初の立上りエッジ(時刻 t_3)でD・

7

FF6の出力Qaが“H”となり、クロック信号φ₀の次の立上りエッジ(時刻t₄)を越え、4Tの時間長の“H”期間が終る(時刻t₅)まで“H”に保持される。従って、この出力Qaの“H”期間内でクロック信号φ₀の立上りエッジが存在することになり、その時刻t₄からデータ変調信号DMでの4Tの時間長の“H”期間が終了時刻t₅までD・FF7の出力Paは“H”となる。このようにして、データ変調信号DMの“H”期間が4T以上のとき、D・FF7から、従って、シフトレジスタ3aから“H”のパルスPaが得られ、S-R・FF4をリセットすることができる。

【0033】図1におけるシフトレジスタ3bもこれと同じ構成をなしているが、データ変調信号DMをレベル反転したものが供給されるから、データ変調信号DMの4T以上の時間長の“L”期間で“H”のパルスPbが得られることになる。

【0034】ところで、以上の動作は、データ変調信号DMのTの時間長の“H”期間が2段のD・FF6, 7を転送され得ず、4Tの時間長の“H”期間が転送できるように、クロック信号φ₀の周波数f₀を設定することにより可能となる。そこで、いま、データ変調信号DMのキャリア周期の1/2をτ₁、データDATAのエッジによるデータ変調信号DMの“H”または“L”期間の時間長をτ₂(上記の4Tに対応する)とすると、期間τ₁中に存在するクロック信号φ₀の立上りエッジの数が2個を越えてはならず、また、期間τ₂中に存在するクロックφ₀の立上りエッジの数は2個を越えなければならない。従って、クロック信号φ₀の周波数f₀としては、

$$2/\tau_2 < f_0 < 1/\tau_1$$

という条件を満足する必要がある。一般に、シフトレジスタ3a, 3bがn段のD・FFからなる場合には、 $n/\tau_2 < f_0 < (n-1)/\tau_1$ を満足していなければならない。

【0035】図2に示す具体例の場合、τ₂ = 4T, τ₁ = T, 1/T = 2fc (fc = データ変調信号DMのキャリア周波数)であるから、 $fc/2 < f_0 < fc$

であり、クロック信号φ₀はデータ変調信号DMのキャリア周波数fcに非同期であって、その周波数f₀の許容変動幅を大きくとれるため、クロック発生回路2に用いられる発振器の発振条件が大幅に緩和できて、集積回路化が容易となる。シフトレジスタ3a, 3bのD・FFの段数nを大きくする程この効果がより増大する。

【0036】また、この実施例であるデータ復調回路もデジタル回路のみで構成できるため、集積回路化が極めて容易であり、小型化、低コスト化が可能となる。

【0037】なお、図1において、シフトレジスタ3a, 3bの次段に夫々パルス幅縮小化回路5a, 5bを設け、シフトレジスタ3a, 3bの出力Pa, Pbをこ

8

れらパルス幅縮小化回路5a, 5bを介してS-R・FF4に供給するようにしてもよい。この場合には、これらパルス幅縮小化回路5a, 5bでの縮小量以下のパルス幅出力Pa, Pbは除かれるので、データ変調信号DMの時間長Tの“H”期間でシフトレジスタ3a, 3bが“H”の出力Pa, Pbを発生しても、これらはS-R・FF4に供給されない。従って、この場合には、クロック信号φ₀の周波数f₀の許容変動幅をさらに緩和できるし、シフトレジスタ3a, 3bでのD・FFの段数を減らすことができる。

【0038】また、かかるパルス幅縮小化回路5a, 5bをシフトレジスタ3a, 3bの入力段々に設けるようにしてもよく、同様の効果が得られる。

【0039】かかるパルス幅縮小化回路5a, 5bとしては、例えば、図2に示すように、遅延手段6及びアンドゲート7によって簡単な構成とすることができ、縮小量は遅延手段6の遅延量で決まる。

【0040】以上、本発明の一実施例について説明したが、本発明はかかる実施例にのみ限定されるものではない。例えば、データ変調信号DMでのデータDATAのエッジによる“H”, “L”期間の時間長を4Tとしたが、これに限られるものではない。また、データ変調信号DAのキャリアのデューティ比は50%である必要がなく、これに応じてシフトレジスタ3a, 3bの段数を異ならせることもできる。

【0041】また、本発明はデータ伝送系にのみ適用されるものではなく、他のシステム、例えば、図6に示したICカードシステムにおけるICカード42中の受信回路53のデータ復調回路として用いることができる。

かかるシステムにおいては、本願発明がデジタル回路で小型にできるから、非常に有用である。

【0042】

【発明の効果】以上説明したように、本発明によれば、デジタル回路で構成できて集積回路化が容易となるし、また、データ復調用のクロック信号として、その周波数の許容変動幅を大きくとることができるから、該クロック信号の発生のための発振器の条件を大幅に緩和でき、集積回路化が容易となり、小型、低コスト化が達成できる。

【図面の簡単な説明】

【図1】本発明によるデータ復調回路の一実施例を示すブロック図である。

【図2】図1におけるシフトレジスタを具体的に示したブロック図である。

【図3】図2に示した具体例の動作を示すタイミングチャートである。

【図4】本発明を用いた伝送系の概略構成図である。

【図5】図4で示した伝送系の動作を示すタイミングチャートである。

【図6】非接触ICカードによるICカードシステムを

示すブロック図である。

【符号の説明】

1 インバータ

2 クロック信号発生回路

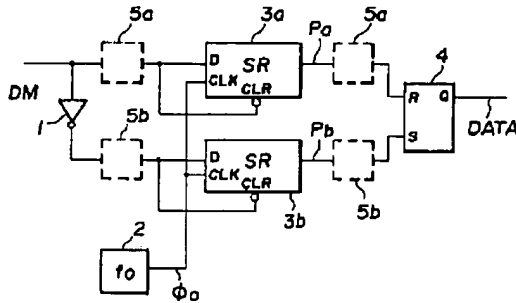
3 a, 3 b シフトレジスタ

4 セット・リセット型フリップフロップ回路

6, 7 D型フリップフロップ回路

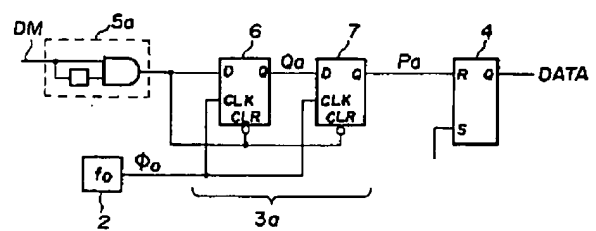
【図1】

【図1】



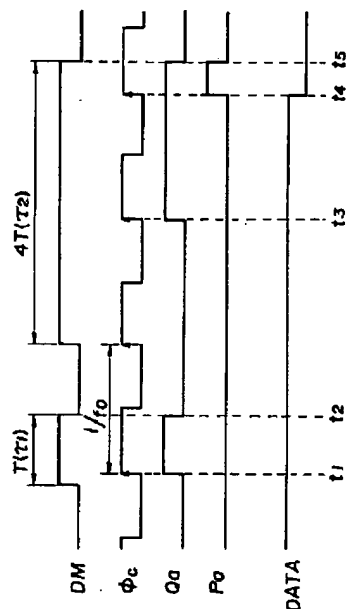
【図2】

【図2】



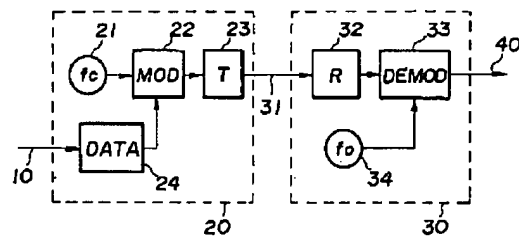
【図3】

【図3】



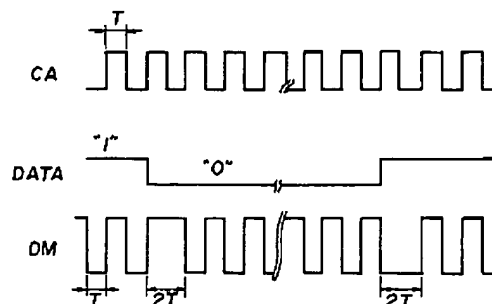
【図4】

【図4】

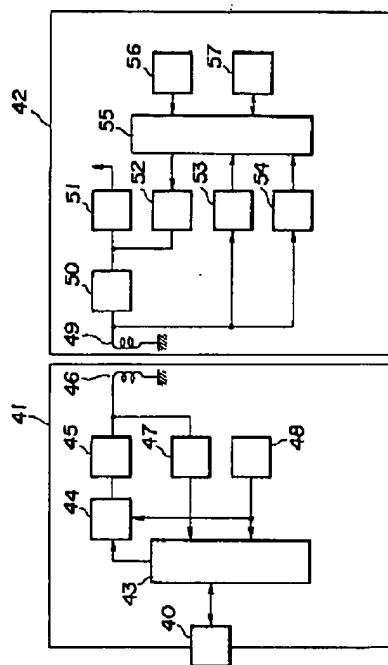


【図5】

【図5】



【圖 6】



(72)発明者 片山 洋介
大阪府茨木市丑寅一丁目1番88号日立マクセル株式会社内

(72)発明者 西園 和則
神奈川県川崎市中原区上小田中1015番地富士通株式会社内

(72)発明者 国分 政利
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 家木 俊温
東京都港区虎ノ門1丁目26番5号 エヌ・
ティ・ティ・データ通信株式会社内

(72)発明者 竹内 隆
東京都港区虎ノ門1丁目26番5号 エヌ・
ティ・ティ・データ通信株式会社内